

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-257907

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

G06F 15/16

(21)Application number : 04-052237

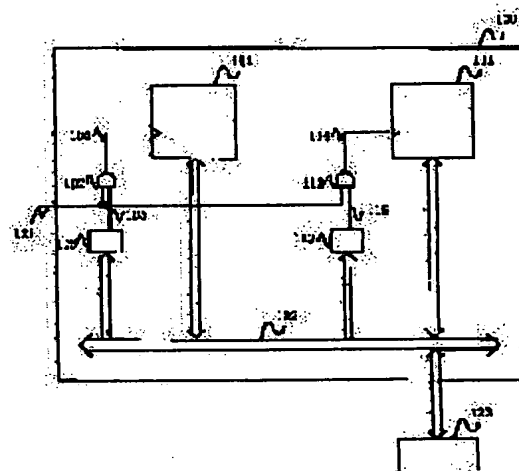
(71)Applicant : HITACHI LTD

(22)Date of filing : 11.03.1992

(72)Inventor : NISHII OSAMU
TSUYOSHI TOSHIAKI
ISHIDO TOMOAKI
SAWASE TERUMI

(54) ON-CHIP MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To reduce electric power in accordance with a load in a multiprocessor system sharing a main storage.**CONSTITUTION:** At the time of judging that a load is lower than a fixed level, a processor 101 transfers mts own process to the other processor 111 and then controls a device 103 for interrupting its own clock to stop a clock 104. Thereby power consumption can be reduced by said clock stop. In addition, execution environments for all processes can be continuously effectively held. Since a clock terminal 121 is shared by both the processors when the processors are integrated on the same semiconductor chip 100, a time difference between clocks can be reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-257907

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

G 0 6 F 15/16

識別記号

3 8 0 Z 9190-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平4-52237

(22)出願日 平成4年(1992)3月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 西井 修

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 津吉 敏明

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 石藤 智昭

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

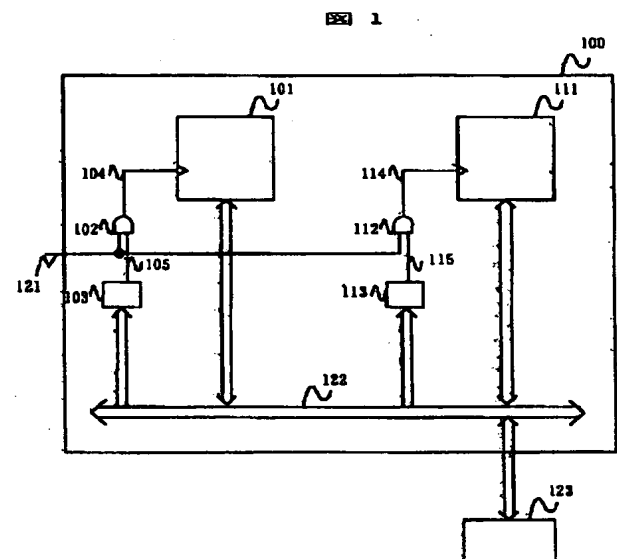
(54)【発明の名称】 オンチップマルチプロセッサシステム

(57)【要約】

【目的】本発明の目的は、主記憶を共有するマルチプロセッサシステムで負荷に応じて電力の低減を図ることである。

【構成】負荷が一定の水準より軽いとプロセッサ101が判定した時に、101は自らのプロセスを別のプロセッサ111に引き渡し、その後に自らのクロックを遮断する装置103を制御してクロック104を停止する。

【効果】クロック停止により消費電力の低減が図れる。またすべてのプロセスの実行環境は良好に保たれ続ける。同時に1つの半導体チップ100内に集積した場合、クロック端子121はプロセッサに共通なので、クロック間時間差は少ない。



【特許請求の範囲】

【請求項1】主記憶を共有する第1と第2のプロセッサと、

外部からのクロックが供給されるクロック供給端子と、
該クロック供給端子と上記第1のプロセッサとの間に接続され、上記クロック供給端子から上記第1のプロセッサへのクロックの供給／遮断を制御する第1の供給／遮断回路と、

上記クロック供給端子と上記第2のプロセッサとの間に接続され、上記クロック供給端子から上記第2のプロセッサへのクロックの供給／遮断を制御する第2の供給／遮断回路とをワンチップ上に具備してなり、

上記第1と第2のプロセッサの一方のプロセッサでのプロセスの負荷の合計が所定の水準より軽いことが判定された際に、該判断結果に従って上記一方のプロセッサのプロセスを上記第1と第2のプロセッサの他方のプロセッサへ情報伝達し、その後上記一方のプロセッサに対応する上記第1と第2の供給／遮断回路の一方はクロック信号の供給を停止することを特徴とするオンチップマルチプロセッサシステム。

【請求項2】上記第1と第2のプロセッサは、それぞれ時分割方式で複数のプロセスを並行して処理することの可能なマルチタスク処理プロセッサであることを特徴とする請求項1に記載のオンチップマルチプロセッサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のプロセッサを有するシステム、所謂マルチプロセッサの情報処理システム（以下、マルチプロセッサシステムと言う）に関する。

【0002】

【従来の技術】従来より、複数のプロセッサを有する情報処理システムの消費電力の低減を図ることが、特開昭61-122733公報に提案されている。この技術は、2つのマイクロプロセッサ装置が、マスタ系とスレーブ系とから構成され、それぞれのクロックを別個のものとし、低負荷時にはスレーブ系のクロックを低減、あるいは停止することにより消費電力の低減を図るものである。また、複数のプロセッサを集積回路の1チップ上に集積する技術が、1991 アイ・イー・イー・イー・インターナショナル・コンファレンス・オン・コンピュータ・デザイン：ヴィエルエスアイ イン コンピュータズ アンド プロセッサズ第128頁～第131頁（1991 IEEE INTERNATIONAL CONFERENCE ON Computer Design:VLSI in Computers & Processors pp.128-131）に記載されている。この技術は、1チップ上にそれ自身で自立して情報処理を行えるプロセッサを2台集積したものである。しかしながら、この文献にはクロック停止、またはクロック周波数低減等の制御をすることによって、消費電力の

低減をすることに関しては特に記載はなされていない。

【0003】

【発明が解決しようとする課題】上記公開特許公報に記載された従来技術を、主記憶を共有し、おのおの時分割方式で複数のプロセスを並行して処理することの可能な複数のプロセッサを有するマルチプロセッサシステムに適用するといくつかの問題を生じる。例えば、一部のプロセッサのクロックを低減すると、複数の周波数のシステムクロックが同時に存在することになる。一数值例を挙げれば、20MHzと5MHzである。複数のプロセッサ間の共有された回路、例えば共有した主記憶を使用する権利を管理する論理回路は順序回路を含んでいる。複数のプロセッサ間で共有される回路の別の例としては、入出力装置の制御回路等がある。従って、複数の周波数のシステムクロックを含む順序論理回路は、単一周波数のシステムクロックのみに対して正しく動作する論理回路よりも複雑になる。例外として、複数のシステムクロックの違いを吸収するために一貫して非同期／同期変換回路を用いる場合は、プロセッサ間の共有論理回路の複雑度を増すものではないが、非同期／同期変換回路は0.5-1クロックサイクルの遅延時間を生じるため、高速な共有回路を設計することができないという問題を生ずる。また、第2に一個のプロセッサのクロックを停止すると、停止したプロセッサに残っていたプロセスが実行できなくなると言う問題がある。プロセスとは、マルチタスク処理プロセッサでひとつの単位1プログラムの呼称である。従って、例えばユーザーからのコマンド処理プログラムは通常ユーザーからのコマンド入力からキーボードからなされるので、実質的にはごく小さいCPU時間しか動作しておらず、このコマンド処理プログラムをクロックが停止される方のプロセッサのプログラムの中に入る可能性が大きい。しかしながら、キーボードからの入力レートは低速であるが、キー入力度にシステムは迅速に回答しなければならない。そのため、もし迅速に回答させようすると、キー入力度にプロセッサのクロック供給を再開せねばならず、クロック停止／供給再開の手に起因するオーバーヘッドが大きい。換言すれば、オーバーヘッドの処理の分だけ消費電力の低減効果は薄れる。

【0004】またワンチップ上に複数のプロセッサが集積されたところのオンチップマルチプロセッサシステムに関しては、上記公開特許公報に記載された従来技術を用いると、複数のシステムクロックを、半導体チップに供給しなければならない。従って、複数のシステムクロックを半導体チップに供給する場合に、半導体チップの外部端子数が増加するという問題がある。また、先に説明した同期式回路を用いると、クロックトリガが一致するフェーズでのクロック間の絶対時間差をある一定時間内におさえなければいけない。複数の外部端子から別々のクロックを入力した場合、この条件を満足させること

は、特に100MHz以上の周波数で動作する場合に困難となる。

【0005】従って、本発明の目的は、主記憶を共有し、それぞれが時分割方式で複数のプロセスを並行して処理することの可能な複数のプロセッサからなるオンチップマルチプロセッサシステムにおいて、消費電力を低減することにある。また、本発明の他の目的は、従来技術を用いた場合に生じる問題、すなわち複数のシステムクロックを用いるために共有部分の論理回路の複雑度が増したり、あるいは共有部分の高速動作が不可能となる、あるいは停止プログラムの中にユーザーコマンド処理プロセスのようなプロセスを含むことによって起こる頻繁なクロック停止/供給再開の手に起因する消費電力の低減効果が薄れるといった問題を解消することに有る。また、本発明の他の目的は、ワンチップ上に複数のプロセッサを集積化する場合に、複数のシステムクロックを複数の外部端子より半導体チップに入力するために生ずる半導体チップの外部端子数の増加、または複数のシステムクロック間の時間差が生じて高速システムの設計を困難にするといった問題を解消することを可能とすることにある。

【0006】

【課題を解決するための手段】上記の目的を達成するため本発明の代表的な実施形態によるオンチップマルチプロセッサシステムは、主記憶を共有する第1と第2のプロセッサと、外部からのクロックが供給されるクロック供給端子と、該クロック供給端子と上記第1のプロセッサとの間に接続され、上記クロック供給端子から上記第1のプロセッサへのクロックの供給/遮断を制御する第1の供給/遮断回路と、上記クロック供給端子と上記第2のプロセッサとの間に接続され、上記クロック供給端子から上記第2のプロセッサへのクロックの供給/遮断を制御する第2の供給/遮断回路とをワンチップ上に具備してなり、上記第1と第2のプロセッサの一方のプロセッサでのプロセスの負荷の合計が所定の水準より軽いことが判定された際に、該判断結果に従って上記一方のプロセッサのプロセスを上記第1と第2のプロセッサの他方のプロセッサへ情報伝達し、その後上記一方のプロセッサに対応する上記第1と第2の供給/遮断回路の一方はクロック信号の供給を停止することを特徴とする。

【0007】

【作用】本発明の代表的な実施形態によれば、一方のプロセッサでのプロセスの負荷の合計が所定の水準より軽いことが判定された際に、一方のプロセッサへのクロック信号の供給が停止されるので、システム全体の消費電力を低減することが可能である。しかも、複数のシステムクロックが同時に存在することはないので先に述べた共有部分の論理回路の複雑度が増したり、あるいは共有部分の高速動作が不可能となると問題はおこらない。またユーザーコマンド処理プロセスのようなプロセ

スも別のプロセッサへ移動されるので、先に述べた頻繁なクロック停止/再開の手に起因する消費電力の低減効果が薄れるといった問題も起こらない。さらに外部からのクロックが供給されるクロック供給端子はワンチップで一つで良いので、半導体チップの外部端子数の増加、または複数のシステムクロック間の時間差が生じて高速システムの設計を困難にするといった問題を解消することができる。本発明のその他の目的と特徴は、以下の実施例から明らかとなる。

【0008】

【実施例】図1は、本発明の実施例によるオンチップマルチプロセッサを中心とする情報処理装置の例を図1に示す。半導体チップ100内部の2台のプロセッサ101、111は、主記憶123を共有して使用している。このチップ100のクロック供給端子には、システムクロック121がチップ外部より入力される。尚、外部からのクロックを分周してクロック波形のデューティ比を調節する回路等は本発明と関係しないので記載されていない。システムクロック121は半導体チップ100内部のANDゲート102、112を経由してそれぞれプロセッサ101、111のクロック入力端子に入力している。ANDゲートの機能は2つの入力信号が共に1の時にのみ出力信号に1を出力する。よってプロセッサ101の例ではクロック遮断制御回路103の出力信号105が1の時にシステムクロック121が信号104に伝えられ、出力信号105が0の時にシステムクロック121が信号104に伝えられない。プロセッサ111に関しても同様なので説明は省略する。

【0009】本実施例のオンチップマルチプロセッサシステムでは、あるプロセスを一方のプロセッサ104から他方のプロセッサ114に移動して実行する移動処理が可能となっている。主記憶123を共有するマルチプロセッサシステムにおいては、この移動処理は容易である。この移動処理は、再開番地と再開時のプログラミングレジスタの情報および処理移動を依頼するメッセージを主記憶123を介して二つのプロセッサ101、111との間で情報伝達すれば実行できる。この処理は、現状の技術の範囲内で実現可能なものである。本実施例のオンチップマルチプロセッサシステムでは、二つのプロセッサ101、111はそれぞれ時分割方式で複数のプロセスを並行して処理することの可能なマルチタスク処理能力を有する。また本実施例のオンチップマルチプロセッサシステムでは、二つのプロセッサ101、111のそれぞれに関して現在のシステムに関する情報、例えば現在実行中のプロセス数等の情報を得ることのできるシステムコールがプログラム中に存在する。

【0010】図2は図1のマルチプロセッサシステムにおいてクロックの遮断を行うソフトウェアのフローチャートである。このソフトウェアは主記憶123に置かれ、プロセッサ101あるいは111によって実行され

る。特にこのソフトウェアでは、あるプロセッサ(CPU)にてアクティブ(実行中)のプロセスの数が一定数 t 以下ならば、負荷を軽いと判定して、自らのクロックを遮断するものである。ただし、プロセッサがアクティブとは実質的な計算処理中であることを言い、プロセッサがアクティブでないとはユーザーからのキー入力待ち等、実質的な計算処理が行われていない状態を言う。動作において4つの変数 i 、 s 、 t 、 M が用いられている。変数 i はカウンタ変数として用いられている。変数 s はアクティブなプロセスの数を集計するために用いられている。この4つの変数はプロセッサ101、ないしは111の内部のプログラミングレジスタの値として存在している。なお動作の開始以前に変数 t には適切な値の代入が完了しているものとする。以下、ソフトウェアによるプロセッサの動作を説明する。

【0011】

処理201：動作が開始する。処理202へ。

処理202：このプロセッサ上で動作しているプロセスに関する情報を得るために、先のシステムコールを使用する。このシステムコールによってこのプロセッサ上によって現在実行中のプロセスの合計数が求められ、これを変数 M に代入する。処理203へ。

処理203-207のループはプロセス1からプロセス M までのすべてのプロセスに関してある処理を行う目的で形成されている。プロセス番号のカウンタとして変数 i が用いられている。

処理203：変数 i に1を代入。変数 s に0を代入。処理204へ。

処理204：第 i プロセスがアクティブであるかをチェックする。もしも第 i プロセスがアクティブであるならば、処理205へ。さもなければ処理206へ。

処理205：変数 s に1を加える。処理206へ。

処理206：変数 i が変数 M より大きかったら処理208へ、さもなければ処理207へ。

処理207：変数 i に1を加える。処理204へ。

処理208：この時点で変数 s にアクティブなプロセスの合計数が代入されている。変数 s と変数 t を比較する。 s が t より大きければ処理終了。さもなければ処理209へ。

処理209：他のCPUがクロック供給により動作中ならば処理210へ。さもなければ、プロセスの移動は不可能であるから、処理終了。

処理210：自分のCPUに存在するすべてのプロセスをバス122と主記憶123を介して他のCPUに移動する。処理211へ。

処理211：自CPUのクロックを停止する。処理終了。

図2に示すソフトウェアはある時間間隔例えば10分間隔で自動的に起動されるように設定してある。そのためユーザーが意識しないでも、負荷の状況に応じて消費電力を低減する自動運転が可能となる。

【0012】本発明は上記の実施例に限定されるものではなく、その技術思想の範囲内で種々の変形が可能であることは言うまでもない。例えば、プロセッサの台数は2台と限定されるものではなく、3、4、あるいはそれ以上の台数のプロセッサでも可能である。また二つのプロセッサ101、111とバス122との間には二つのプライベートキャッシュを配置し、またバス122と主記憶123との間には共有キャッシュを配置する等の階層メモリ構成を採用することもできる。

【0013】

【発明の効果】本発明によれば、主記憶を共有し、それぞれが時分割方式で複数のプロセスを並行して処理することの可能な複数のプロセッサからなるオンチップマルチプロセッサシステムにおいて、消費電力を低減することができる。また、従来技術を用いた場合に生じる問題、すなわち複数のシステムクロックを用いるために共有部分の論理回路の複雑度が増したり、あるいは共有部分の高速動作が不可能となる、あるいは停止プログラムの中にユーザーコマンド処理プロセスのようなプロセスを含むことによって起こる頻繁なクロック停止/供給再開の手に起因する消費電力の低減効果が薄れるといった問題を解消することができる。さらに、ワンチップ上に複数のプロセッサを集積化する場合に、複数のシステムクロックを複数の外部端子より半導体チップに入力するために生ずる半導体チップの外部端子数の増加、または複数のシステムクロック間の時間差が生じて高速システムの設計を困難にするといった問題を解消することを可能となる。

【図面の簡単な説明】

【図1】本発明の実施例によるオンチップマルチプロセッサシステムと主記憶とを含む情報処理システムの全体図である。

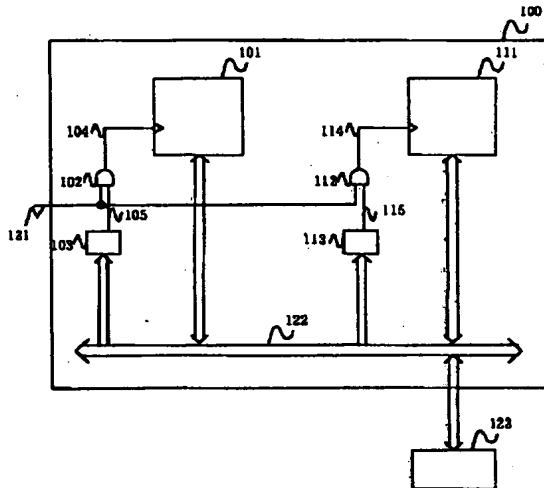
【図2】図1の情報処理システムでのソフトウェアの一部の処理を表すフローチャートである。

【符号の説明】

100…半導体チップ、101、111…プロセッサ、102、112…ANDゲート、103、113…クロック遮断管理装置、104、114…個別のプロセッサに供給されるクロック信号、105、115…クロック遮断制御信号、121…システムクロック、122…システムバス、123…主記憶装置、201：処理の開始、202…211：処理、212：処理の終わり。

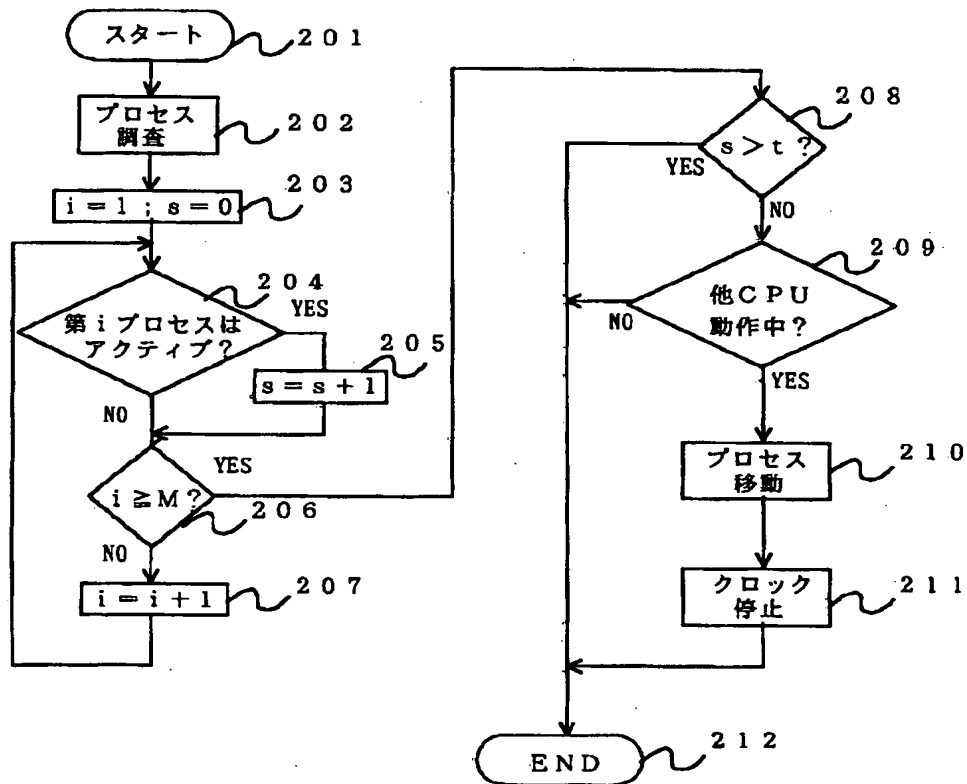
【図1】

図 1



【図2】

図 2



フロントページの続き

(72)発明者 澤瀬 照美
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体設計開発センタ内